

Helsinki 11.5.2004

ESTUOIKEUSTODISTUS
PRIORITY DOCUMENT

REC'D 03 JUN 2004

WIPO

PCT



Hakija
Applicant

Imbera Electronics Oy
Espoo

Patentihakemus nro
Patent application no

20030493

Tekemispäivä
Filing date

01.04.2003

Kansainvälinen luokka
International class

H05K

Keksinnön nimitys
Title of invention

"Menetelmä elektroniikkamoduulin valmistamiseksi ja elektroniikkamoduuli"

Täten todistetaan, että oheiset asiakirjat ovat tarkkoja jäljennöksiä Patentti- ja rekisterihallitukselle alkuaan annetuista selityksestä, patenttivaatimuksista, tiivistelmästä ja piirustuksista.

This is to certify that the annexed documents are true copies of the description, claims, abstract and drawings originally filed with the Finnish Patent Office.

Marketta Tehikoski
Apulaistarkastaja

**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

Maksu perustuu kauppa- ja teollisuusministeriön antamaan asetukseen 1027/2001
Patentti- ja rekisterihallituksen maksullisista suoritteista muutoksineen.

The fee is based on the Decree with amendments of the Ministry of Trade and Industry No. 1027/2001 concerning the chargeable services of the National Board of Patents and Registration of Finland.

Menetelmä elektroniikkamoduulin valmistamiseksi ja elektroniikkamoduuli

Keksinnön kohteena on elektroniikkamoduuli sekä menetelmä elektroniikkamoduulin valmistamiseksi.

5 Erityisesti eksinnön kohteena on elektroniikkamoduuli, joka sisältää yhden tai useamman komponentin upotettuna asennusalustaan. Elektroniikkamoduuli voi olla piirilevyn kaltainen moduuli, joka sisältää useita komponentteja, jotka on liitetty sähköisesti toisiinsa elektroniikkamoduuliin valmistettujen johderakenteiden välityksellä. Komponentit voivat olla passiivikomponentteja, mikropiirejä, puolijohdekomponentteja tai muita vastaavia komponentteja. Yksi komponenttiryhmä ovat komponentit, joita tyypillisesti liitetään piirilevylle. Toinen merkittävä komponenttiryhmä ovat komponentit, joita tyypillisesti koteloidaan piirilevylle liittämistä varten. Keksinnön kohteena olevat elektroniikkamoduulit voivat toki sisältää myös toisenlaisia komponentteja.

15 Asennusalusta voi olla tyypiltään sen kaltainen alusta, joita käytetään yleisesti elektroniikkateollisuudessa sähköisten komponenttien asennusalustana. Alustan tehtävänä on tarjota komponentille mekaaninen kiinnitysalusta sekä tarvittavat sähköiset yhteydet sekä alustalla oleviin muihin komponentteihin että alustan ulkopuolelle. Asennusalusta voi olla piirilevy, jolloin eksinnön kohteena oleva rakenne ja menetelmä liittyvät läheisesti piirilevyjen valmistustekniikkaan. Asennusalustana voi olla myös jokin muu alusta, esimerkiksi komponentti tai komponenttien paketoinnissa käytettävä alusta tai kokonaisen toiminnallisen moduulin alusta.

20 25 Piirilevyjen valmistustekniikat poikkeavat mikropiirien valmistuksesta mm. siten, että mikropiirien valmistustekniikoissa asennusalustana eli substraattina on puolijohdemateriaali, kun taas piirilevyjen asennusalustan perusmateriaalina on jokin eristemateriaali. Mikropiirien valmistustekniikat ovat myös tyypillisesti huomattavasti kalliimpia kuin piirilevyjen valmistustekniikat.

30 Komponenttien ja erityisesti puolijohdekomponenttien koteloiden ja pakkausten rakenteet ja valmistustekniikat poikkeavat piirilevyjen rakenteesta ja valmistuksesta siten, että komponenttipakkauksen ensisijaisena tarkoituksena on muodostaa

komponentin ympärille kotelo, joka suojaa mekaanisesti komponenttia ja helpottaa komponentin käsittelyä. Komponentin kotelon pinnalla on liitäntäosia, tyypillisesti ulokkeita, joiden avulla kotelointi komponentti on helppo asettaa oikein piirilevylle ja muodostaa sille halutut kytkenät. Komponentikotelon sisällä ovat lisäksi johteet, jotka yhdistävät kotelon ulkopuolelle ulottuvat liitäntäosat itse komponentin pinnalla oleviin liitäntäalueisiin, joiden kautta komponentti voidaan kytkeä halutulla tavalla ympäristöönsä.

Tällaiset perinteisellä tekniikalla valmistettujen komponenttien kotelot vaativat kuitenkin huomattavasti tilaa. Elektroniikkalaitteiden koon pienentyessä on pyritty 10 pääsemään eroon tilaa vievistä, tarpeettomista ja turhia kustannuksia muodostavista komponenttien kotelosta. Tämän ongelman ratkaisemiseksi on pyritty kehittämään erilaisia rakenteita ja menetelmiä.

Yksi tunnettu ratkaisu on flip-chip -teknologia (FC), jossa pakkaamaton puolijohdekomponentti asennetaan ja liitetään suoraan piirilevyn pinnalle. Flip-chip-tekniikassa on kuitenkin monia heikkouksia ja vaikeuksia. Esimerkiksi liitosten luotettavuus voi osoittautua ongelmaksi erityisesti sellaisissa sovelluksissa, joissa piirilevyn ja puolijohdekomponentin välille syntyy mekaanisia jännityksiä. Mekaanisia jännityksiä pyritään välttämään lisäämällä puolijohdekomponentin ja piirilevyn väliin sopivaa elastista kiinnitysainetta (underfill), joka tasoittaa mekaanisia jännityksiä. Tämä menetelmävaihe hidastaa valmistusprosessia ja lisää kustannuksia. Jo laitteen 15 normaalitoiminnan aikaansaama lämpölaajeneminen voi aiheuttaa niin suuria mekaanisia jännityksiä, että FC-rakenteen pitkän ajan luotettavuus heikkenee.

US-patentijulkaisussa 4 246 595 kuvataan yksi ratkaisu, jossa asennusalustaan muodostetaan syvennyksiä komponentteja varten. Syvennysten pohjat rajoittuvat kaksikerroksiseen eristekerrokseen, johon tehdään reikiä komponentin kontaktointia varten. Eristekeroksen komponentteja vasten tuleva kerros valmistetaan adhesiivista. Tämän jälkeen komponentit upotetaan syvennyksiin kontaktialueet syvennyksen pohjaan kohti ja komponentteihin muodostetaan sähköiset kontaktit eristekerroksessa olevien reikien kautta. Mikäli rakenteesta halutaan mekaanisesti kestävä, komponentti on lisäksi 20 kiinnitettävä asennusalustaan, joten menetelmä on varsin monimutkainen. Monimutkaisella menetelmällä, joka vaatii useita eri materiaaleja ja prosessivaiheita, on 25 30

hyvin vaikea valmistaa kannattavasti edullisia tuotteita. Patentin menetelmä ei muutoinkaan vastaa nykyään käytössä olevaa tekniikkaa (patentti on vuodelta 1981).

JP-hakemusjulkaisussa 2001-53 447 kuvataan toinen ratkaisu, jossa asennusalustaan valmistetaan komponenttia varten syvennys. Komponentti sijoitetaan syvennykseen siten, että komponentin kontaktialueet tulevat asennusalustan pintaan kohti. Tämän jälkeen asennusalustan pinnalle ja komponentin yli valmistetaan eristekerros. Eristekerrokseen valmistetaan kontaktiaukot komponenttia varten ja komponenttiin muodostetaan sähköiset kontaktit kontaktiaukkojen kautta. Tässä menetelmässä syvennyksen valmistaminen ja komponentin asettamien syvennykseen vaativat melkoista tarkkuutta, jotta komponentti saadaan asemoitua asennuslevyn sivu- ja paksuussuunnassa läpivientien onnistumisen kannalta sopivasti.

Keksinnön tarkoituksena on aikaansaada suhteellisen yksikertainen ja edullinen elektroniikkamoduulien valmistusmenetelmä, jonka avulla voidaan päästää mekaanisesti kestävään rakenteeseen.

15 Keksintö perustuu siihen, että komponentti liimataan johdekerroksen pinnalle, josta johdekerroksesta myöhemmin muodostetaan johdekuvioita. Komponentin liimaamisen jälkeen johdekerroksen pinnalle muodostetaan tai kiinnitetään eristemateriaalikerros, joka ympäröi johdekerrokseen liitetyn komponentin. Komponentin liimaamisen jälkeen valmistetaan myös läpiviennit, joiden kautta voidaan muodostaa sähköiset kontaktit johdekerroksen ja komponentin kontaktialueiden välille. Tämän jälkeen johdekerroksesta, jonka pinnalle komponentti liimattiin, muodostetaan johdekuvioita.

Täsmällisemmin sanottuna keksinnön mukaiselle menetelmälle on tunnusomaista se, mikä on esitetty patenttivaatimuksessa 1.

25 Yhdelle keksinnön mukaiselle elektroniikkamoduulisovellukselle on puolestaan tunnusomaista se, mikä on esitetty patenttivaatimuksessa 19.

Keksinnön avulla saavutetaan huomattavia etuja. Keksinnön avulla on nimittäin mahdollista valmistaa mekaanisesti kestäviä elektroniikkamoduuleja, jotka sisältävät asennusalustaan upotettuja pakkaamattomia komponentteja.

30 Keksintö mahdollistaa varsin yksinkertaisen valmistusmenetelmän, jossa tarvitaan suhteellisen vähän erilaisia materiaaleja. Tästä syystä keksinnöllä on sovellusmuotoja,

joiden avulla elektroniikkamoduuleja voidaan valmistaa pienin kustannuksin. Esimerkiksi US-patentijulkaisun 4 246 595 kuvamassa tekniikassa tarvitaan (viitaukset patentin kuvioon 8) tukikerros 24, eristekerros 16 sekä adheesiokerros 17. Lisäksi komponentin mekaanisesti lujan kiinnityksen aikaansaamiseksi tarvitaan vielä 5 neljäs eristemateriaali (ei esitetty kuvion 8 sovellusmuodossa), nimitään täyteaine, jonka avulla komponentti kiinnitetään tukikerrokseen 24. Myös JP-hakemusjulkaisun 2001-53 447 ratkaisussa vastaava, komponentin kauttaaltaan ympäröivä kiinnitys edellyttää noin 3-4 erillistä eristemateriaalia tai eristekerrosta (julkaisun kuviot 2 ja 4).

Viitejulkaisuista poiketen keksinnöllämme on sovellusmuotoja, joissa komponentti 10 voidaan ympäröidä kauttaaltaan 2-3 eristemateriaalilla tai eristekerroksella. Nimitään komponentin kontakointipinta liimataan johdekerrokseen, jolloin liima kiinnittää komponentin edullisissa sovellusmuodoissa oleellisesti koko kontakointipinnan 15 alueelta. Muualta komponentti kiinnitetään tällaisessa sovellusmuodossa eristemateriaalikerroksen avulla, joka toimii muodostettavan elektroniikkamoduulin perusmateriaalina. Eristemateriaalikerros muodostetaan komponentin liimauksen jälkeen, joten se voidaan edullisissa sovellusmuodoissa valmistaa komponentin ympärille komponenttia myötäileväksi. Tällaisissa sovellusmuodoissa on mahdollista päästä komponentin kattavaan kiinnitykseen liimakerroksen ja 1-2 eristemateriaali-levystä muodostettavan perusmateriaalikerroksen avulla.

20 Keksinnön sovellusmuodoissa voidaan siis valmistaa piirilevy, jonka sisään on upotettu komponentteja. Keksinnöllä on myös sovellusmuotoja, joiden avulla voidaan valmistaa komponentin ympärille pienikokoinen ja luotettava komponenttipakkaus osana piirilevyä. Tällaisessa sovellusmuodossa valmistusprosessi on yksinkertaisempi ja halvempi kuin sellaiset valmistusmenetelmät, joissa erilliset koteloidut komponentit 25 asennetaan ja liitetään piirilevyn pinnalle. Valmistusmenetelmää voidaan myös soveltaa siten, että menetelmällä valmistetaan kelalta kelalle (Reel to Reel)-tuotteita. Edullisten sovellusmuotojen mukaisilla menetelmillä voidaan valmistaa ohuita ja halpoja piirilevytuotteita, jotka sisältävät komponentteja.

30 Keksintö mahdollistaa myös runsaasti muita edullisia sovellusmuotoja, joilla saavutetaan merkittäviä lisäetuja. Tällaisten sovellusmuotojen avulla on esimerkiksi mahdollista yhdistää komponentin pakausvaihe, piirilevyn valmistusvaihe sekä komponenttien ladonta ja kontakointivaihe yhdeksi kokonaisuudeksi. Erillisten

prosessivaiheiden yhdistäminen antaa merkittäviä logistisia etuja ja mahdollistaa pienien ja luotettavien elektroniikkamoduulien valmistuksen. Edelleen lisätuna on se, että tällainen elektroniikkamoduulin valmistusmenetelmä voi pääosin käyttää hyväksi tunnettuja piirilevynvalmistus- ja ladontateknikoita.

5 Edellä mainitun sovellusmuodon mukainen yhdistelmäprosessi on kokonaisuutena yksinkertaisempi kuin piirilevyn valmistaminen ja komponentin liittäminen piirilevyn esimerkiksi flip-chip-teknikalla. Tällaisilla edullisilla sovellusmuodoilla saavutetaan muihin valmistusmenetelmiin verrattuna seuraavia etuja:

- Komponenttien liitännöissä ei tarvita juottamista, vaan sähköinen liitäntä komponentin pinnalla olevien liitosalueiden ja asennusalustan metallikalvon välillä saadaan aikaan läpivientimenetelmällä. Tämä tarkoittaa sitä, että komponentin liittämiseen ei tarvitse käyttää pitkän aikaa sulaa metallia ja tästä johtuvia korkeita lämpötiloja. Täten rakenteen luotettavuus paranee juottamalla tehtyihin liitoksiin verrattuna. Erityisesti pienissä liitoksissa metalliyhdisteiden hauraus aiheuttaa suuren ongelman. Edullisen sovellusmuodon mukaisessa juotteettomassa ratkaisussa voidaankin päästää juotteellisia ratkaisuja selvästi pienempiin rakenteisiin.
- Koska menetelmällä pystytään valmistamaan pienempiä rakenteita, komponentit voidaan sijoittaa lähemmäksi toisiaan. Tällöin myös komponenttien väliset johtimet tulevat lyhyemmiksi ja elektroniikkapiirien ominaisuudet paranevat. Esimerkiksi häviöt, häiriöt ja kulkuaikaviiveet voivat pienentyä merkittävästi.
- Menetelmä mahdollistaa lyijyttömän valmistusprosessin, joka on ympäristöystävälinen.
- Käytettäessä juoteteonta valmistusprosessia syntyy myös vähemmän ei toivottuja metallien välisiä rajapintoja (intermetallics), jolloin rakenteen pitkäikäluotettavuus paranee.
- Menetelmä mahdollistaa myös kolmidimensionaalisten rakenteiden valmistamisen, sillä asennusalustoja ja niihin upotettuja komponentteja voidaan lataa päälekkäin.

Keksintö mahdollistaa myös muita edullisia sovellusmuotoja. Keksinnön yhteydessä voidaan käyttää mm. taipuisaa piirilevyä. Edelleen sovellusmuodoissa, joissa asennusalustan lämpötila voidaan pitää alhaisena läpi koko prosessin, on mahdollista käyttää monipuolisesti orgaanisia valmistusmateriaaleja.

5 Sovellusmuotojen avulla on myös mahdollista valmistaa erittäin ohuita rakenteita, joissa komponentit ovat rakenteen ohuudesta huolimatta kauttaaltaan suojaettuna asennusalustansa, kuten piirilevyn, sisällä.

10 Sovellusmuodoissa, joissa komponentit sijoitetaan kokonaan asennusalustan sisälle, piirilevyn ja komponenttien välisistä liitoksista tulee mekaanisesti kestäviä ja luotettavia.

15 Sovellusmuodot mahdollistavat myös sellaisten elektroniikkamoduulien valmistusprosessien suunnittelemisen, joissa tarvitaan suhteellisen vähän prosessivaiheita. Sovellusmuodoissa, joissa prosessivaiheita on vähemmän, tarvitaan vastaavasti myös vähemmän prosessilaitteita ja erilaisia valmistusmenetelmiä. Tällaisten sovellusmuotojen avulla voidaan monessa tapauksessa myös alentaa valmistuskustannuksia monimutkaisempiin prosesseihin verrattuna.

20 Elektroniikkamoduulin johdekuviokerrosten lukumäärä on myös mahdollista valita sovellusmuodon mukaan. Johdekuviokerroksia voi olla esimerkiksi yksi tai kaksi. Näiden päälle on lisäksi mahdollista valmistaa lisää johdekuviokerroksia piirilevyteollisuudessa tunnettuun tapaan. Kokonaisuudessaan moduulissa voi siis olla esimerkiksi kolme, neljä tai viisi johdekuviokerrosta. Aivan yksinkertaisimmissa sovellusmuodoissa johdekuviokerroksia ja ylipääätään johdekerroksia on ainoastaan yksi. Joissakin sovellusmuodoissa jokaista näistä elektroniikkamoduulin sisältämistä johdekerroksista voidaan käyttää hyväksi johdekuvioiden muodostamisessa.

25 Sovellusmuodoissa, joissa komponenttiin liittyvä johdekerros kuvioidaan vasta komponentin liittämisen jälkeen, johdekerros voi sisältää johdekuvioita myös komponentin kohdalla. Vastaava etu voidaan saavuttaa myös sovellusmuodoissa, joissa elektroniikkamoduuli varustetaan toisella johdekuviokeroksella, joka sijoitetaan moduulin runkomateriaalin toiselle pinnalle (komponenttiin liittyvään johdekuviokerokseen nähdyn eristemateriaalikerroksen vastakkaiselle pinnalle). Tällöin toinen johdekerros voi sisältää johdekuvioita myös komponentin kohdalla. Johdekuvioiden

sijoittaminen johdekerksiin komponentin kohdalle tehostaa moduulin tilankäyttöä ja mahdollistaa tiiviimmän rakenteen.

Keksintöä tarkastellaan seuraavassa esimerkkien avulla ja oheisiin piirustuksiin viitaten.

5 Kuviot 1-10 esittävät poikkileikkauskuvasarjana joitakin esimerkkejä keksinnön mukaisista valmistusmenetelmistä sekä periaatteellisia poikkileikkauskuvia joistakin keksinnön mukaisista elektroniikkamoduuleista.

Kuvio 11 esittää poikkileikkauskuvana yhden keksinnön mukaisen elektroniikkamoduulin, joka sisältää useita päälekkäisiä asennusalustoja.

10 Esimerkkien menetelmissä valmistus aloitetaan johdekerroksesta 4, joka voi olla esimerkiksi metallikerros. Yksi soveltuva johdekerroksen 4 valmistusmateriaali on kuparikalvo (Cu). Mikäli prosessiin valittava johdekalvo 4 on hyvin ohut tai johdekalvo ei muusta syystä ole mekaanisesti kestävä, johdekalvoa 4 on suositeltavaa tukea tukikerroksen 12 avulla. Tällöin voidaan menetellä esimerkiksi siten, että prosessi aloitetaan tukikerroksen 12 valmistuksesta. Tukikerros 12 voi olla esimerkiksi 15 sähköäjohtavaa materiaalia, kuten alumiinia (Al), terästä tai kuparia, tai eristävää materiaalia, kuten polymeriä. Tukikerroksen 12 toiselle pinnalle voidaan valmistaa kuvioton johdekerros 4 esimerkiksi käytämällä joitakin piirilevyteollisuudessa hyvin tunnettua valmistusmenetelmää. Johdekerros voidaan valmistaa esimerkiksi laminoimalla tukikerroksen 12 pinnalle kuparikalvo (Cu). Vaihtoehtoisesti voidaan menetellä siten, että tukikerros 12 valmistetaan johdekerroksen 4 pinnalle. Johdekalvo 4 20 voi olla myös pinnoitettu metallikalvo tai muu useampia kerroksia tai useampia materiaaleja sisältävä kalvo.

25 Myöhemmin prosessissa johdekerroksesta 4 valmistetaan johdekuvioita. Johdekuviot täytyy tällöin kohdistaa komponenttien 6 suhteen. Kohdistus on helppointa suorittaa sopivien kohdistusmerkkien avulla, joista ainakin osa voidaan valmistaa jo prosessin tässä vaiheessa. Itse kohdistusmerkkien aikaansaamiseen on käytettävissä useita erilaisia menetelmiä. Yksi mahdollinen menetelmä on pienien läppireikien 3 valmistaminen johdekerrokseen 4 komponenttien 6 asennusalueiden läheisyyteen. Samoja läppireikiä 3 on mahdollista käyttää myös komponenttien 6 ja eristemateriaali-30 kerroksen 1 kohdistamiseen. Läppireikiä 3 tulisi olla miehellään ainakin kaksi kappaletta, jotta kohdistus voidaan suorittaa tarkasti.

Komponentit 6 kiinnitetään johdekerroksen 4 pinnalle liiman avulla. Liimaamista varten johdekerroksen 4 liitospinnalle tai komponentin 6 liitospinnalle tai molemmille liitospinnoille levitetään liimakerros 5. Tämän jälkeen komponentit 6 voidaan kohdistaa komponenteille 6 suunniteltuihin asemiin kohdistusreikien 3 tai muiden kohdistusmerkkien avulla. Vaihtoehtoisesti voidaan menetellä siten, että komponentit 6 liimataan ensin johdekerrokseen 4 toistensa suhteen asemoituina ja kohdistusmerkit valmistetaan tämän jälkeen komponenttien 6 suhteen kohdistettuina. Komponentin 6 liitospinnalla tarkoitetaan komponentin 6 sitä pinta, joka tulee johdekerrosta 4 kohti. Komponentin 6 liitospinta käsittää kontaktialueita, joiden välityksellä komponenttiin voidaan muodostaa sähköinen kontakti. Kontaktialueet voivat olla esimerkiksi komponentin 6 pinnalla olevia tasomaisia alueita tai tavallisemmin komponentin 6 pinnasta ulkonevia kontaktiulokkeita. Kontaktialueita tai -ulokkeita on komponentissa 6 yleensä vähintään kaksi. Monimutkaisissa mikropiireissä kontaktialueita voi olla hyvinkin monta.

Monissa sovellusmuodoissa on edullista levittää liitospinnalle tai liitospinnoille liimaa niin runsaasti, että liima täyttää kauttaaltaan komponenttien 6 ja johdekerroksen 4 välisiin jäävän tilan. Tällöin ei tarvita erillistä täyteainetta. Komponenttien 6 ja johdekerroksen 4 välisiin jäävän tilan täyttyminen vahvistaa komponentin 6 ja johdekerroksen 4 välistä mekaanista kytikentää, jolloin saavutetaan mekaanisesti kestävämpi rakenne. Kattava ja aukoton liimakerros myös tukee johdekerroksesta 4 myöhemmin muodostettavia johdekuvioita 14 ja suojaa rakennetta myöhemmissä prosessivaiheissa.

Liimalla tarkoitetaan materiaalia, jolla komponentit voidaan kiinnittää johdekerrokseen. Liiman yksi ominaisuus on se, että liima voidaan levittää johdekerroksen ja/tai komponentin pinnalle suhteellisen juoksevassa tai muutoin pinnanmuotoihin mukautuvassa muodossa. Liiman toinen ominaisuus on se, että levittämisen jälkeen liima kovettuu tai voidaan kovetata ainakin osittain siten, että liima kykenee pitämään komponentin paikoillaan (johdekerroksen suhteen) ainakin niin kauan kunnes komponentti kiinnitetään rakenteeseen jollakin muulla tavalla. Liiman kolmas ominaisuus on adheesiokyky eli kyky tarttua liimattavaa pintaan.

Liimaamisella tarkoitetaan komponentin ja johdekerroksen kiinnittämistä toisiinsa liiman avulla. Liimattaessa siis liimaan tuodaan komponentti ja johdekerros välisiin ja asetetaan komponentti johdekerroksen suhteen sopivaan asemaan, jossa liima on kosketuksessa komponentin ja johdekerroksen kanssa ja ainakin osittain täyttää

komponentin ja johdekerroksen välisen tilan. Tämän jälkeen liiman annetaan (ainakin osittain) kovettua tai liima aktiivisesti kovetetaan (ainakin osittain) siten, että komponentti kiinnittyy liiman avulla johdekerrokseen. Joissakin sovellusmuodoissa komponentin kontaktiulokkeet saattavat liimauksen aikana työntyä liimakerroksen läpi kosketukseen johdekerroksen kanssa.

Sovellusmuodoissa käytettävä liima on tyypillisesti lämpökovetteinen epoksi, esimerkiksi NCA (non conductive adhesive). Liima valitaan siten, että käytettävällä liimalla on riittävä adheesio johdinkalvoon, piirilevyyn ja komponenttiin. Yksi edullinen liiman ominaisuus on sopiva lämpölaajenemiskerroin, jolloin liiman lämpölaajeneminen ei poikkea liian paljon ympäröivän materiaalin lämpölaajenemisesta prosessin aikana. Valittavalla liimalla tulisi myös mieellään olla lyhyt kovetusaika, mieellään korkeintaan muutamia sekunteja. Tässä ajassa liiman tulisi kovettua ainakin osittain siten, että liima kykenee pitämään komponentin paikoillaan. Lopullinen kovettuminen voi viedä selvästi enemmän aikaa ja loppukovetus voidaan suunnitella tapahtuvaksi myöhempien prosessivaiheiden yhteydessä. Liiman tulee myös kestäää käytettävät prosessilämpötilat, esimerkiksi kuumentaminen 100 – 265 °C lämpötilaan muutamia kertoja, sekä valmistusprosessin muu rasitus, esimerkiksi kemiallinen tai mekaaninen rasitus. Liiman sähköjohtavuus on mieellään eristemateriaalien sähköjohtavuuden luokkaa.

Elektroniikkamoduulin, esimerkiksi piirilevyn, perusmateriaaliksi valitaan soveltuva eristemateriaalikerros 1. Eristemateriaalikerrokseen 1 valmistetaan sopivalla menetelmällä johdekerrokseen 4 liimattujen komponenttien 6 koon ja keskinäisen aseman mukaan valitut syvennykset tai läppireiät. Syvennykset tai läppireiät voidaan valmistaa myös hieman komponentteja 6 suuremmiksi, jolloin eristemateriaalikerrokseen 1 kohdistaminen johdekerroksen 4 suhteen ei ole niin kriittistä. Mikäli prosessissa käytetään eristemateriaalikerrosta 1, johon tehdään läppireiät komponentteja 6 varten, tiettyjä etuja voidaan saavuttaa käytäällä lisäksi erillistä eristemateriaalikerrosta 11, johon ei ole valmistettu reikiä. Tällainen eristemateriaalikerros 11 voidaan sijoittaa eristemateriaalikerroksen 1 päälle peittämään komponentteja varten valmistetut läppireiät.

Mikäli valmistettavaan elektroniikkamoduuliin halutaan toinen johdekerros, tämä voidaan valmistaa esimerkiksi eristemateriaalikerroksen 1 pinnalle. Sovellusmuodoissa, joissa käytetään toista eristemateriaalikerrosta 11, johdekerros voidaan valmistaa tämän toisen eristemateriaalikerroksen 11 pinnalle. Toisesta johdekerroksesta 9 voidaan haluttaessa valmistaa johdekuvioita 19. Johdekerros 9 voidaan valmistaa esimerkiksi vastaavalla tavalla kuin johdekalvo 4. Toisen johdekalvon 9 valmistaminen ei kuitenkaan ole tarpeellista yksinkertaisissa sovellusmuodoissa ja yksinkertaisia elektroniikkamoduuleja valmistettaessa. Toista johdekalvoa 9 voidaan kuitenkin hyödyntää monella tavoin, kuten johdinkuvioiden lisätilana ja komponenttien 6 ja koko moduulin suojaamisessa sähkömagneettista säteilyä vastaan (EMC-suojaus). Toisen johdekalvon 9 avulla voidaan myös vahvistaa rakennetta ja vähentää esimerkiksi asennusalustan käyristymistä.

Elektroniikkamoduuliin valmistetaan läpiviennit, joiden kautta voidaan muodostaa sähköiset kontaktit komponenttien 6 kontaktialueiden ja johdekerroksen 4 välille.

15 Läpivientejä varten johdekerrokseen 4 tehdään reiät 17 komponenttien 6 kontaktialueiden (kuvioissa kontaktiulokkeet 7) kohdalle. Kohdistamisessa voidaan käyttää hyväksi reikiä 3 tai muita käytössä olevia kohdistusmerkkejä. Reiät 17 valmistetaan siten, että ne puhkaisevat myös kontaktialueiden tai kontaktiulokkeiden 7 päälle jääneen liimakerroksen. Reiät 17 ulottuvat siis komponentin 6 kontaktiulokkeiden 7 tai muiden kontaktialueiden materiaaliin saakka. Reiät 17 voidaan valmistaa esimerkiksi laserlaitteella poraamalla tai jollakin muulla soveltuvalla menetelmällä. Tämän jälkeen reikiin 17 tuodaan johdemateriaalia siten, että muodostuu sähköinen kontakti komponenttien 6 ja johdekerroksen 4 välille.

20 Esimerkkien mukaiset valmistusprosessit on mahdollista toteuttaa valmistusmenetelmillä, jotka ovat yleisesti tunnettuja piirilevyjen valmistuksen ammattimiehille.

Seuraavassa tarkastellaan lähemmin kuvioiden 1-8 esittämiä menetelmävaiheita.

Vaihe A (kuvio 1):

Vaiheessa A valitaan prosessin lähtömateriaaliksi soveltuva johdekerros 4. Lähtömateriaaliksi voidaan valita myös kerroslevy, jossa johdekerros 4 sijaitsee tukialustan 30 12 pinnalla. Kerroslevy voidaan valmistaa esimerkiksi siten, että otetaan käsiteltäväksi

soveltuva tukialusta 12 ja tämän tukialustan 12 pinnalle kiinnitetään soveltuva johdekalvo johdekerroksen 4 muodostamista varten.

Tukialusta 12 voi olla esimerkiksi sähköäjohtavaa materiaalia, kuten alumiinia (Al), tai eristävää materiaalia, kuten polymeeria. Johdekerros 4 voidaan muodostaan esimerkiksi

5 kiinnittämällä tukialustan 12 toiselle pinnalle ohut metallikalvo, esimerkiksi laminoimalla se kuparista (Cu). Metallikalvo voidaan kiinnittää tukialustaan esimerkiksi adheesiokeroksella, joka on levitetty tukialustan 12 tai metallikalvon pinnalle ennen metallikerroksen laminointia. Metallikalvossa ei tarvitse tässä vaiheessa ole mitään kuvioita.

10 Kuvion 1 esimerkissä alustaan valmistetaan tukialustan 12 ja johdekerroksen 4 läpäisevät reiät 3 komponenttien 6 asennuksen ja liittämisen aikaista kohdistamista varten. Läpireikiä 3 voidaan valmistaa esimerkiksi kaksois kappalella kutakin asennettavaa komponenttia 6 kohti. Reiät 3 voidaan valmistaa jollakin soveltuvalla menetelmällä, esimerkiksi mekaanisesti jyrsimällä, lyömällä, poraamalla tai laserin 15 avulla. Läpireikien 3 valmistaminen ei kuitenkaan ole vältämätöntä, vaan komponenttien kohdistamiseen voidaan käyttää myös joitakin muita soveltuivia kohdistusmerkintöjä. Kuvion 1 esittämässä sovellusmuodoissa komponenttien kohdistamiseen käytettävät läpireiät 3 ulottuvat sekä tukialustan 12 että johdekalvon 4 läpi. Tästä on se etu, että samoja kohdistusmerkkejä (läpireikiä 3) voidaan käyttää 20 kohdistuksessa asennusalustan molemmilla puolilla.

Vaihe A voidaan suorittaa samaan tapaan myös sellaisissa sovellusmuodoissa, joissa käytetään itsekantavaa johdekerrosta 4 ja joista siis puuttuu kokonaan tukikerros 12.

Vaihe B (kuvio 2):

Vaiheessa B johdekerroksen 4 pääälle levitetään liimakerros 5 niille alueille, joille 25 komponentteja 6 kiinnitetään. Näitä alueita voidaan kutsua liitääalueiksi. Liimakerrokset 5 voidaan kohdistaan esimerkiksi läpireikien 3 avulla. Liimakerroksen paksuus valitaan siten, että liima täyttää hyvin komponentin 6 ja johdekerroksen 4 välisen tilan, kun komponentti 6 painetaan kiinni liimakerrokseen 5. Mikäli 30 komponentti 6 käsittää kontaktiulokkeita 7, liimakerroksen 5 paksuuden olisi hyvä olla kontaktiulokkeiden 7 korkeutta suurempi, esimerkiksi noin 1,5-10 -kertainen, jotta komponentti 6 ja johdekerroksen 4 välinen tila täytyy hyvin. Komponenttia 6 varten

muodostettavan liimakerroksen 5 pinta-ala voi myös olla hieman komponentin 6 vastaavaan pinta-alaa suurempi, mikä omalta osaltaan vähentää huonon täytymisen riskiä.

Vaihetta B voidaan modifioida siten, että liimakerros 5 levitetään johdekerroksen 4 liitääalueiden sijasta komponenttien 6 liitääpinnalle. Tämä voidaan suorittaa esimerkiksi siten, että komponentti kastetaan liimassa ennen sen latomista paikalleen elektroniikkamoduuliin. On myös mahdollista menetellä siten, että liimaa levitetään sekä johdekerroksen 4 liitääalueille että komponenttien 6 liitääpinnalle.

Käytettävä liima on siis sähköneriste, joten liimakerros 5 itsessään ei synnytä sähköistä kontaktia komponentin 6 kontaktialueiden (esimerkissä kontaktiulokkeiden 7) välille.

Vaihe C (kuvio 3):

Vaiheessa C komponentit 6 asetetaan paikoilleen elektroniikkamoduuliin. Tämä voidaan suorittaa esimerkiksi siten, että ladontakoneen avulla komponentit 6 painetaan liimakerrokseen 5. Ladontavaiheessa komponentin 6 kohdistukseen käytetään kohdistusta varten valmistettuja läpireikiä 3 tai muita käytössä olevia kohdistusmerkkejä.

Komponentit 6 voidaan liimata yksitellen tai sopivissa ryhmissä. Tyypillisesti menetellään siten, että johdekerros, jota voidaan kutsua asennusalustan pohjaksi, tuodaan sopivan aseman ladontakoneen suhteen ja tämän jälkeen komponentti 6 kohdistetaan ja painetaan kiinni asennusalustan pohjaan, joka pidetään kohdistamisen ja kiinnittämisen ajan liikkumattomana.

Vaihe D (kuvio 4):

Vaiheessa D johdekerroksen 4 päälle asetetaan eristemateriaalikerros 1, johon on ennalta valmistettu reiät 2 tai syvennykset johdekerrokseen 4 liimattuja komponentteja 6 varten. Eristemateriaalikerros 1 voidaan valmistaa sopivasta polymeerialustasta, johon valmistetaan komponenttien 6 koon ja sijainnin mukaan valitut reiät tai syvennykset, jollakin sopivalla menetelmällä. Polymeerialusta voi olla esimerkiksi piirilevyteollisuudessa tunnettu ja yleisesti käytetty pre-preg alusta, joka on valmistettu lasikuitumatosta ja n.k. b-tilan epoksista. Vaihe D on hyvä suorittaa vasta sen jälkeen

kun liimakerros 5 on kovetettu tai muutoin kovettunut riittävästi, jotta komponentit 6 pysyvät paikoillaan eristemateriaalikerroksen 1 asettamisen aikana.

Valmistettaessa hyvin yksinkertaista elektroniikkamoduulia eristemateriaalikerros 1 voidaan kiinnittää johdekerrokseen 4 vaiheen D yhteydessä ja jatkaa prosessia 5 johdekerroksen 4 kuvioinnilla.

Vaihe E (kuvio 5):

Vaiheessa E eristemateriaalikerroksen 1 päälle asetetaan kuvioimaton eristemateriaali-kerros 11 ja tämän päälle johdekerros 9. Eistemateriaalikerros 11 voidaan eristemateriaalikerroksen 1 tapaan valmistaa soveltuvasta polymeerikalvosta, esimerkiksi edellä mainitusta pre-preg alustasta. Johdekerros 9 voi puolestaan olla esimerkiksi kuparikalvo tai jokin muu tarkoitukseen soveltuva kalvo.

Vaihe F (kuvio 6):

Vaiheessa F kerrokset 1, 11 ja 9 prässätään lämmön ja paineen avulla siten, että polymeeri (kerroksissa 1 ja 11) muodostaa yhtenäisen ja tiiviin kerroksen 15 johdekerrosten 4 ja 9 väliin komponenttien 6 ympärille. Tällä menettelyllä toisesta johdekerroksesta 9 tulee varsin tasainen ja tasomainen.

Valmistettaessa yksinkertaisia ja yhden johdekuviokerroksen 14 käsittäviä elektroniikkamoduuleja vaihe E voidaan jopa jättää kokonaan pois tai laminoida rakenteeseen kerrokset 1 ja 11 ilman johdekerrosta 9.

Vaihe G (kuvio 7):

Vaiheessa G rakenteesta irrotetaan tai muutoin poistetaan tukialusta 12. Poistaminen voidaan tehdä esimerkiksi mekaanisesti tai syövyttämällä. Vaihe G voidaan luonnollisesti jättää pois sovellusmuodoissa, joissa ei käytetä tukialustaa 12.

Vaihe H (kuvio 8):

Vaiheessa H valmistetaan läpivientejä varten reiät 17. Reiät 17 valmistetaan 25 johdekerroksen 4 ja liimakerroksen 5 läpi siten, että komponentin 6 kontaktiulokkeiden 7 tai vastaavien kontaktialueiden materiaali paljastuu. Reiät 17 voidaan valmistaa

esimerkiksi laserin avulla poraamalla. Reiät 17 voidaan kohdistaa esimerkiksi reikien 3 avulla.

Vaihe I (kuvio 9):

Vaiheessa I kasvatetaan johdemateriaalia 18 vaiheessa H valmistettuihin reikiin 17.

5 Esimerkkiprosessissa johdemateriaalia kasvatetaan samalla myös muualle alustan päälle, joten myös johdekerrosten 4 ja 9 paksuus kasvaa.

Kasvatettava johdemateriaali 18 voi olla esimerkiksi kuparia tai joitain muuta riittävästi sähköä johtavaa materiaalia. Johdemateriaalin 18 valinnassa otetaan huomioon materiaalin kyky muodostaan sähköinen kontakti komponentin 6 kontaktiulokkeiden 7 materiaalin kanssa. Yhdessä esimerkkiprosessissa johdemateriaali 18 on pääasiassa kuparia. Kuparimetallointi voidaan tehdä pinnoittamalla reiät 17 ohuella kerroksella kemiallista kuparia ja tämän jälkeen pinnoitusta voidaan jatkaa sähkökemiallisella kuparinkasvatusmenetelmällä. Kemiallista kuparia käytetään esimerkissä siksi, koska se pinnoituu myös liiman päälle ja toimii sähköjohtajana sähkökemiallisessa pinnoituksessa. Metallin kasvatus voidaan siis suorittaa märkäkemiallisella menetelmällä, joten kasvattaminen on halpaa.

10

Esimerkkiprosessissa läpivientien reiät 17 puhdistetaan ensin kolmivaiheisella desmear käsittelyllä. Tämän jälkeen läpiviennit metalloidaan siten, että ensin muodostetaan polymeerin katalysoiva SnPd-pinnoite ja tämän jälkeen pinnalle saostetaan kemiallista kuparia ohut kerros (noin $2\mu\text{m}$). Kuparin paksuutta kasvatetaan sähkökemiallisella saostuksella.

15

20 Vaiheen I tarkoituksesta on muodostaa sähköinen kontakti komponentin 6 ja johdekerroksen 4 välille. Vaiheessa I ei siis ole välttämätöntä kasvattaa johdekerrosten 4 ja 9 paksuutta, vaan prosessi voidaan aivan hyvin suunnitella siten, että vaiheessa I ainoastaan täytetään reiät 17 sopivalla materiaalilla. Johdekerros 18 voidaan valmistaa esim. täytämillä reiät 17 sähköä johtavalla pastalla tai käyttää jotakin muuta soveltuvaan mikroläpivientien metallointimenetelmää.

25

Myöhemmissä kuvioissa johdekerros 18 esitetään johdekerroksiin 4 ja 9 sulautuneena.

Vaihe J (kuvio 10):

Vaiheessa J alustan pinnoilla olevista johdekeroksista 4 ja 9 valmistetaan halutut johdekuviot 14 ja 19. Mikäli sovellusmuodossa käytetään ainoastaan johdekerosta 4, kuviot muodostetaan ainoastaan alustan yhdelle puolelle. Voidaan myös menetellä siten, että johdekuvioita muodostetaan ainoastaan johdekeroksesta 4 vaikka sovellus-
5 muodossa käytettäisiinkin myös toista johdekerosta 9. Tällaisessa sovellusmuodossa kuvioimaton johdekerros 9 voi toimia esimerkiksi elektroniikkamoduulia mekaanisesti tukevana tai suojaavana kerroksena tai suojana sähkömagneettista säteilyä vastaan.

Johdekuviot 14 voidaan valmistaa esimerkiksi poistamalla johdekeroksen 4 johdemateriaali johdekuvioiden ulkopuolelta. Johdemateriaalin poistaminen voidaan suorittaa esimerkiksi jollakin kuvointi- ja syövytysmenetelmällä, jotka ovat
10 piirilevyteollisuudessa laajalti käytettyjä ja hyvin tunnettuja.

Vaiheen J jälkeen elektroniikkamoduuli sisältää komponentin 6 tai useita komponentteja 6 sekä johdekuviot 14 ja 19 (joissakin sovellusmuodoissa ainoastaan johdekuviot 14), joiden avulla komponentti 6 tai komponentit voidaan yhdistää 15 ulkoiseen piiriin tai toisiinsa. Tällöin on olemassa edellytykset toiminnallisen kokonaisuuden valmistamiselle. Prosessi voidaan siis suunnitella siten, että elektroniikkamoduuli on valmis vaiheen J jälkeen ja kuvio 10 esittääkin esimerkin yhdestä mahdollisesta elektroniikkamoduulista. Haluttaessa prosessia voidaan myös jatkaa vaiheen J jälkeen esimerkiksi päälystämällä elektroniikkamoduuli suoja-aineella tai
20 valmistamalla lisää johdekuviokerroksia elektroniikkamoduulin ensimmäiselle ja/tai toiselle pinnalle.

Kuvio 11

Kuviossa 11 esitetään monikerroksinen elektroniikkamoduuli, joka sisältää kolme päälekkäin laminoitua alustaa 1 komponentteineen 6 sekä yhteensä kuusi 25 johdekuviokerrosta 14 ja 19. Alustat 1 on kiinnitetty toisiinsa välicherosten 32 avulla. Välicherros 32 voi olla esimerkiksi pre-preg-epoksikerros, joka laminoidaan alustojen 1 väliin. Tämän jälkeen elektroniikkamoduuliin on porattu moduulin läpäisevät reiät kontaktien muodostamista varten. Kontaktit muodostetaan reikiin kasvatettavan johdekeroksen 31 avulla. Elektroniikkamoduulin läpi kulkevien johteiden 31 avulla eri
30 alustojen 1 johdekuviokerroksia 14 ja 19 voidaan kytkeä sopivasti toisiinsa ja näin muodostaa monikerroksinen toimiva kokonaisuus.

Kuvion 11 esimerkin perusteella on selvää, että menetelmää voidaan käyttää myös monenlaisten kolmedimensionaalisten piirirakenteiden valmistamiseen. Menetelmää voidaan käyttää esim. siten, että useita muistipiirejä sijoitetaan päälekkään ja näin muodostetaan useita muistipiirejä sisältävä paketti, jossa muistipiirit on kytketty toisiinsa yhdeksi toiminnalliseksi kokonaisuudeksi. Tällaista pakettia voidaan kutsua kolmedimensionaaliseksi multichip-moduuliksi. Tällaisessa moduulissa chipit voidaan valita vapaasti ja eri chippien väliset kontaktit voidaan helposti valmistaa valittujen piirien mukaisesti.

Monikerroksisen elektroniikkamoduulin osamoduulit (alustat 1 komponenttineen 6 ja johtimineen 14 ja 19) voidaan valmistaa esimerkiksi jollakin edellä kuvatulla elektroniikkamoduulien valmistusmenetelmällä. Osa kerrosrakenteeseen liittävistä osamoduuleista voidaan toki aivan hyvin valmistaa myös jollakin muulla tarkoituksen soveltuvalta menetelmällä.

Kuvioiden 1-11 esimerkit kuvaavat joitakin mahdollisia prosesseja, joiden avulla keksintöämme voidaan käyttää hyväksi. Keksintöämme ei kuitenkaan rajoitu vain edellä esitettyihin prosesseihin, vaan keksintö kattaa muitakin erilaisia prosesseja ja niiden lopputuotteita, patenttivaatimusten täydessä laajuudessa ja ekvivalenssituulkinta huomioon ottaen. Keksintö ei myöskään rajoitu vain esimerkkien kuvaamiin rakenteisiin ja menetelmiin, vaan alan ammattimiehelle on selvää, että keksintöämme erilaisilla sovelluksilla voidaan valmistaa hyvin monenlaisia elektroniikkamoduuleja ja piirilevyjä, jotka poikkeavat suurestikin edellä esitetystä esimerkistä. Kuvioiden komponentit ja johdotukset on siis esitetty ainoastaan valmistusprosessin havainnollistamistarkoituksessa. Edellä esitettyjen esimerkkien prosesseihin voidaan tehdä siis runsaasti muutoksia, poikkeamatta silti keksinnön mukaisesta perusjatkuksesta. Muutokset voivat liittyä esimerkiksi eri vaiheissa kuvattuihin valmistustekniikoihin tai prosessivaiheiden keskinäiseen järjestykseen.

Menetelmän avulla voidaan valmistaa myös komponenttipaketteja piirilevylle liittämistä varten. Tällaiset paketit voivat sisältää myös useampia komponentteja, jotka on kytketty sähköisesti toisiinsa.

Menetelmällä voidaan valmistaa myös kokonaisia sähköisiä moduuleja. Moduuli voi olla myös piirilevy, jonka ulkopinnalle voidaan kiinnittää komponentteja kuten tavalliseen piirilevyyn.

Patenttivaatimukset:

1. Menetelmä elektroniikkamoduulin valmistamiseksi, jossa menetelmässä:

- otetaan johdekerros,
- 5 – otetaan komponentti, jolla on kontaktointipinta, jolla on kontaktialueita,
- liimataan komponentti kontaktointipinnan puolelta johdekerroksen ensimmäiselle pinnalle,
- valmistetaan johdekerroksen ensimmäiselle pinnalle eristemateriaalikerros, joka ympäröi johdekerrokseen liimatum komponentin,
- 10 – muodostetaan läpiviennit komponentin kontaktialueiden yhdistämiseksi sähköisesti johdekerrokseen, ja
- valmistetaan johdekerroksesta johdekuvioita.

2. Patenttivaatimuksen 1 mukainen menetelmä, jossa komponenttia liimattaessa:

- 15 – johdekerroksen pinnalle levitetään liimakerros, ja
- komponentin kontaktointipinta painetaan liimakerrokseen.

3. Patenttivaatimuksen 1 mukainen menetelmä, jossa komponenttia liimattaessa:

- 20 – komponentin kontaktointipinnalle ja johdekerroksen ensimmäiselle pinnalle levitetään liimakerrokset, ja
- liimakerrokset painetaan toisiaan vasten.

4. Patenttivaatimuksen 2 tai 3 mukainen menetelmä, jossa johdekerrokseen liimataan ainakin yksi komponentti ja liimakerros levitetään johdekerroksen pinnalle alueellisesti

siten, että johdekeroksen pinta on oleellisesti liimaton komponenttien liitääntäalueiden ulkopuolella.

5. Patenttivaatimuksen 1 mukainen menetelmä, jossa komponenttia liimattaessa:

- 5 – komponentin kontaktointipinnalle levitetään liimakerros, ja
- komponentin pinnalla oleva liimakerros painetaan johdekerrosta vasten.

6. Jonkin patenttivaatimuksen 1 - 5 mukainen menetelmä, jossa

- 10 – johdekerrokseen valmistetaan komponentin kohdistusta varten ainakin yksi kohdistusmerkki, ja
- komponentti liimataan johdekerrokseen ainakin yhden kohdistusmerkin suhteen kohdistettuna.

15 7. Patenttivaatimuksen 6 mukainen menetelmä, jossa ainakin yksi kohdistusmerkki on läppireikä, joka läpäisee johdekeroksen.

20 8. Jonkin patenttivaatimuksen 1 - 7 mukainen menetelmä, jossa johdekeroksesta valmistetaan johdekuvioita poistamalla osa johdekeroksen materiaalista, jolloin jäljelle jäävä materiaali muodostaa johdekuvot.

9. Jonkin patenttivaatimuksen 1 - 8 mukainen menetelmä, jossa läpivientien muodostamiseksi johdekerrokseen ja liimakerrokseen avataan aukot komponentin kontaktialueiden kohdalle.

10. Jonkin patenttivaatimuksen 1 - 9 mukainen menetelmä, jossa johdekerrokseen liittyy tukikerros, joka poistetaan eristemateriaalikerroksen valmistamisen jälkeen mutta ennen johdekuvioiden valmistamista.
- 5 11. Jonkin patenttivaatimuksen 1 - 10 mukainen menetelmä, jossa komponentin ympäröivä eristemateriaalikerros valmistetaan kiinnittämällä johdekerrokseen eristemateriaalikerros, johon on valmistettu reiät tai syvennykset komponenttia tai komponentteja varten.
- 10 12. Patenttivaatimuksen 11 mukainen menetelmä, jossa johdekerrokseen kiinnitettävän ensimmäisen eristemateriaalikerroksen pinnalle kiinnitetään toinen eristemateriaalikerros, joka on yhtenäinen ja joka peittää komponentin.
- 15 13. Jonkin patenttivaatimuksen 1 - 12 mukainen menetelmä, jossa eristemateriaalikerroksen vastakkaiselle pinnalle valmistetaan toinen johdekuviokerros.
- 20 14. Jonkin patenttivaatimuksen 1 - 13 mukainen menetelmä, jossa johdekerrokseen liimataan irrallinen, piirilevyrakenteeseen liittämätön komponentti.
15. Jonkin patenttivaatimuksen 1 - 14 mukainen menetelmä, jossa elektroniikkamoduuliin upotetaan vastaavalla tavalla useampi kuin yksi komponentti.
- 25 16. Patenttivaatimuksen 15 mukainen menetelmä, jossa elektroniikkamoduuliin upotetut komponentit yhdistetään sähköisesti toisiinsa toiminnallisen kokonaisuuden muodostamista varten.

17. Jonkin patenttivaatimuksen 1 - 16 mukainen menetelmä, jossa valmistetaan ensimmäinen moduuli ja ainakin yksi toinen moduuli, ja kiinnitetään valmistetut moduulit toisiinsa päälekkäisesti siten, että moduulit tulevat kohdistetuksi toistensa suhteen.

5

18. Patenttivaatimuksen 17 mukainen menetelmä, jossa päälekkäin kiinnitettyjen moduulien läpi valmistetaan reikiä läpivientejä varten ja valmistetaan näin aikaansaatuihin reikiin johteet kullakin moduulilla olevien elektroniikkapiirien kytkemiseksi toisiinsa toiminnalliseksi kokonaisuudeksi.

10

19. Elektroniikkamoduuli, joka käsittää

- eristemateriaalikerroksen, jolla on ensimmäinen pinta ja toinen pinta,
- eristemateriaalikeroksessa olevan ainakin yhden reiän tai syvennyksen, joka avautuu ensimmäiselle pinnalle,
- 15 - ainakin yhden reiän tai syvennyksen sisällä olevan ainakin yhden komponentin, joka käsittää kontaktialueita komponentin sillä pinnalla, joka on eristemateriaalikerroksen ensimmäisen pinnan puolella, ja joka komponentti on asemoitu siten, että kontaktialueet sijaitsevat välimatkan päässä eristemateriaalikerroksen ensimmäisen pinnan tasalta,
- 20 - johdekuviokerroksen, joka kulkee eristemateriaalikerroksen ensimmäisellä pinnalla ja ulottuu eristemateriaalikeroksessa olevan ainakin yhden reiän tai syvennyksen pääle ja komponentin kontaktialueiden kohdalle,
- kovettuneen liimakerroksen eristemateriaalikeroksessa olevassa reiässä tai syvennyksessä komponentin ja johdekerroksen välissä, ja
- 25 - liimakerroksen läpäisevät johdemateriaalimuodostumat sähköisen kontaktin muodostamiseksi johdekuviokerroksen ja komponentin kontaktialueiden välille.

20. Patenttivaatimuksen 19 mukainen elektroniikkamoduuli, jossa komponentin paksuus on pienempi kuin eristemateriaalikerroksen paksuus eristemateriaalikerroksen ensimmäisen pinnan ja toisen pinnan välisessä suunnassa.

5

21. Patenttivaatimuksen 19 tai 20 mukainen elektroniikkamoduuli, jossa mainittu johdekuvokerros on oleellisesti tasomainen siten, että johdekuvokerroksen se pinta, joka kohdistuu eristemateriaalikerrosta ja eristemateriaalikeroksessa komponenttia varten olevaa reikää tai syvennystä vastaan, sijaitsee kauttaaltaan oleellisesti eristemateriaalikerroksen ensimmäisen pinnan tasalla.

10

22. Jonkin patenttivaatimuksen 19 - 21 mukainen elektroniikkamoduuli, joka käsittää toisen johdekuvokerroksen, joka kulkee eristemateriaalikerroksen toisella pinnalla.

15

23. Jonkin patenttivaatimuksen 19 - 22 mukainen elektroniikkamoduuli, joka käsittää useita komponentteja, jotka on johdekuvioiden välityksellä yhdistetty sähköisesti toisiinsa siten, että komponentit muodostavat toiminnallisen kokonaisuuden.

(57) Tiivistelmä:

Tässä julkaisussa on kuvattu elektroniikkamoduuli ja menetelmä elektroniikkamoduulin valmistamiseksi, jossa komponentti (6) liimataan (5) johdekerroksen pinnalle, josta johdekerroksesta myöhemmin muodostetaan johdekuvioita (14). Komponentin (6) liimaamisen jälkeen johdekerroksen pinnalle muodostetaan tai kiinnitetään eristemateriaalikerros (1), joka ympäröi johdekerrokseen liitetyn komponentin (6). Komponentin (6) liimaamisen jälkeen valmistetaan myös läpiviennit, joiden kautta voidaan muodostaa sähköiset kontaktit johdekerroksen ja komponentin kontaktialueiden (7) välille. Tämän jälkeen johdekerroksesta, jonka pinnalle komponentti (6) liimattiin, muodostetaan johdekuvioita (14).

(Kuvio 10)

L 5

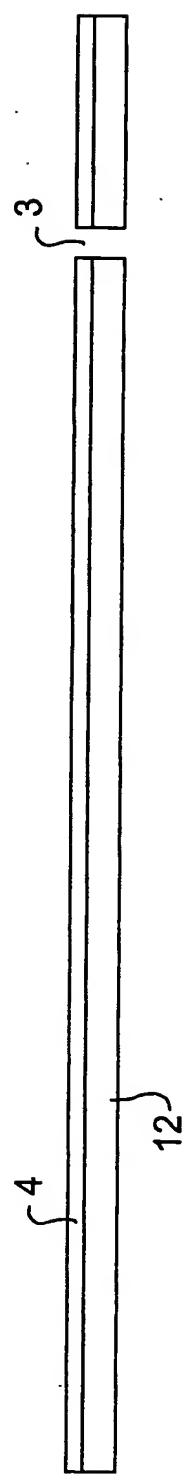


Fig. 1

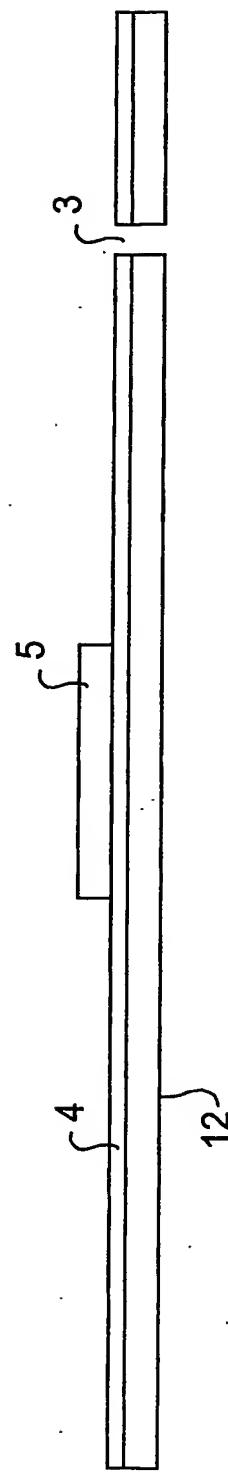


Fig. 2

L 5

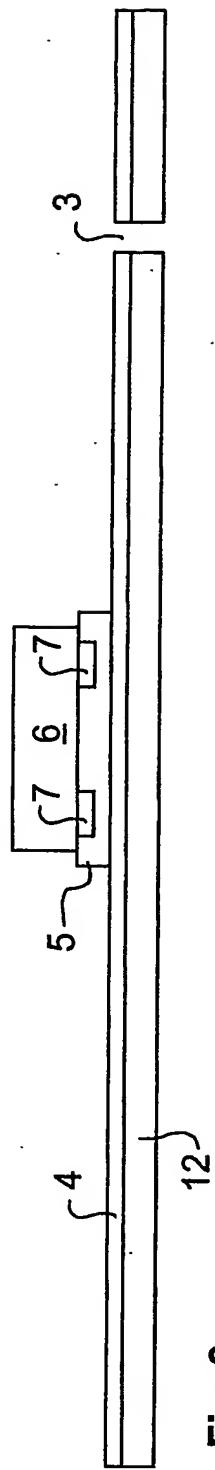


Fig. 3

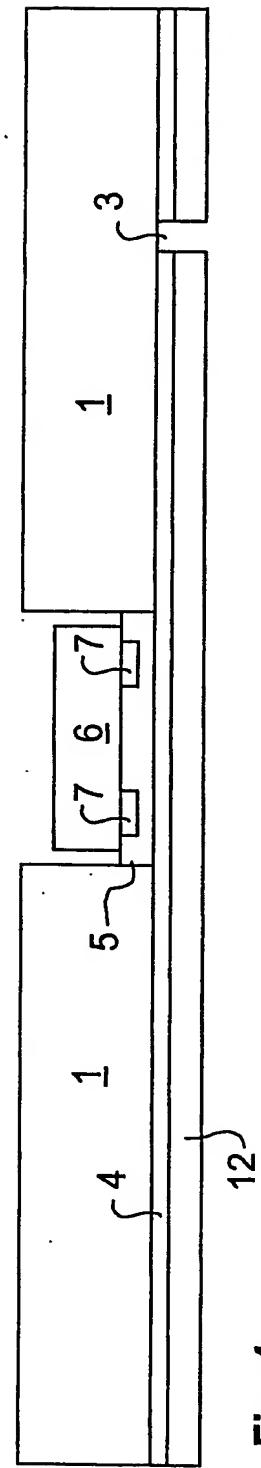


Fig. 4

L 5

L 5

3

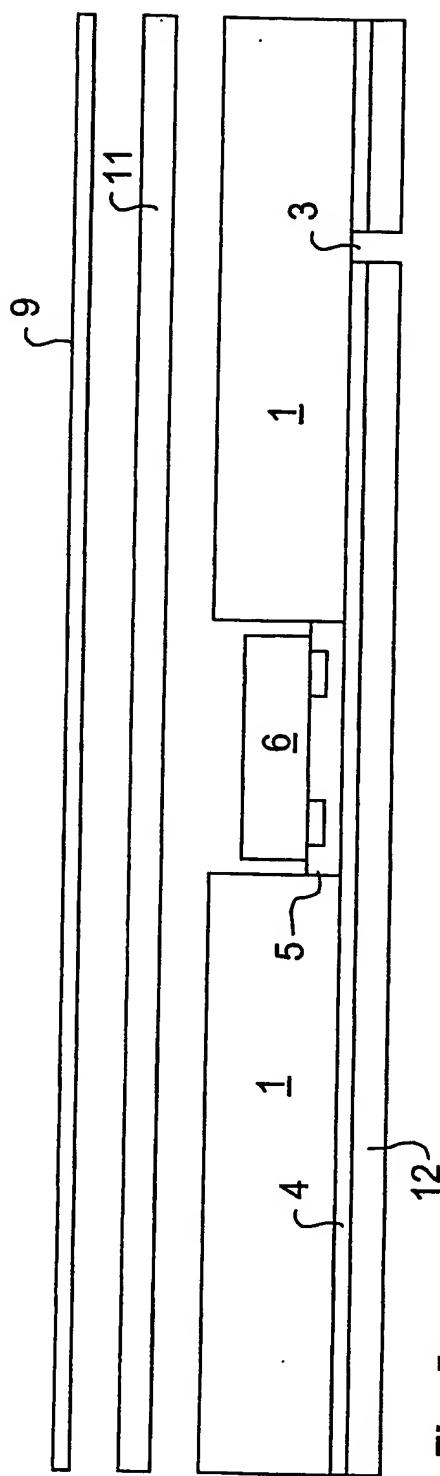


Fig. 5

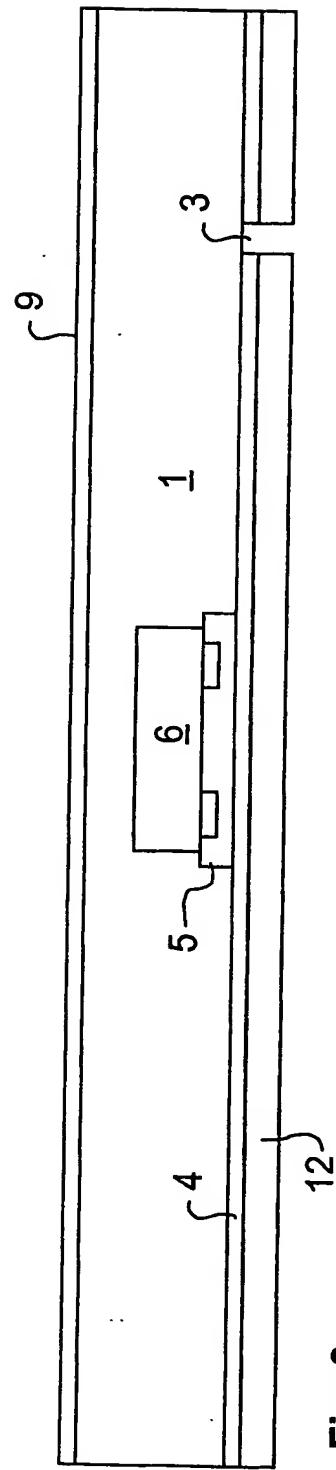


Fig. 6

L 5

4

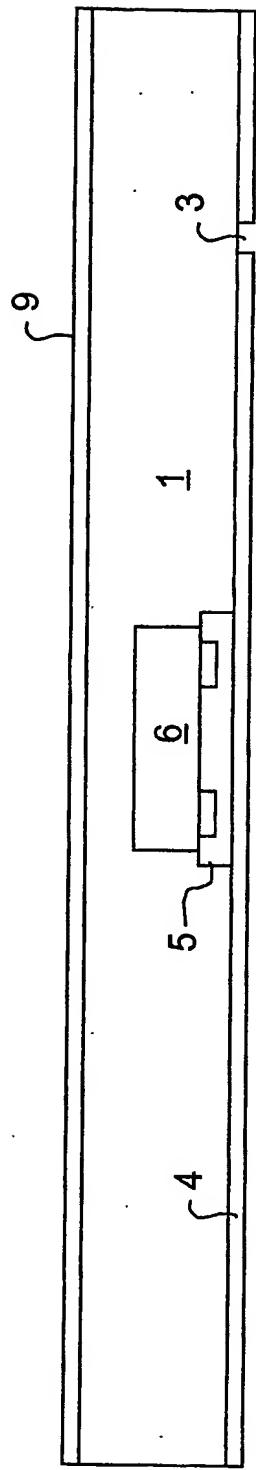


Fig. 7

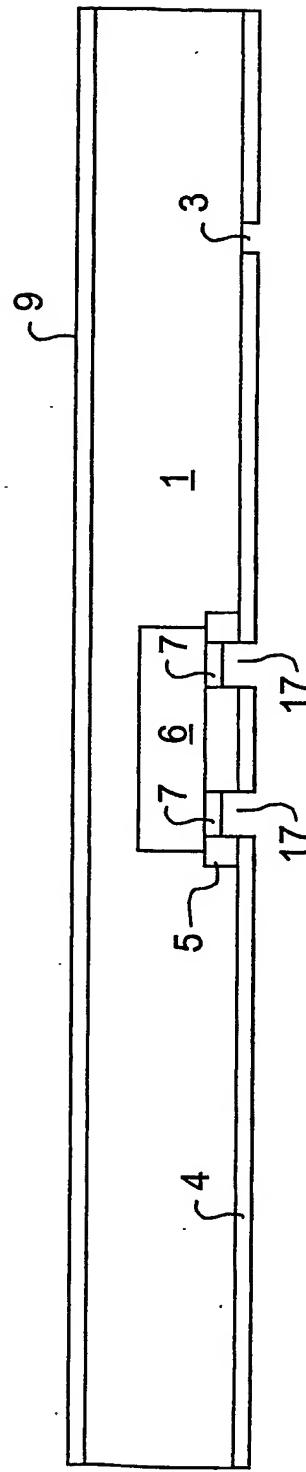


Fig. 8

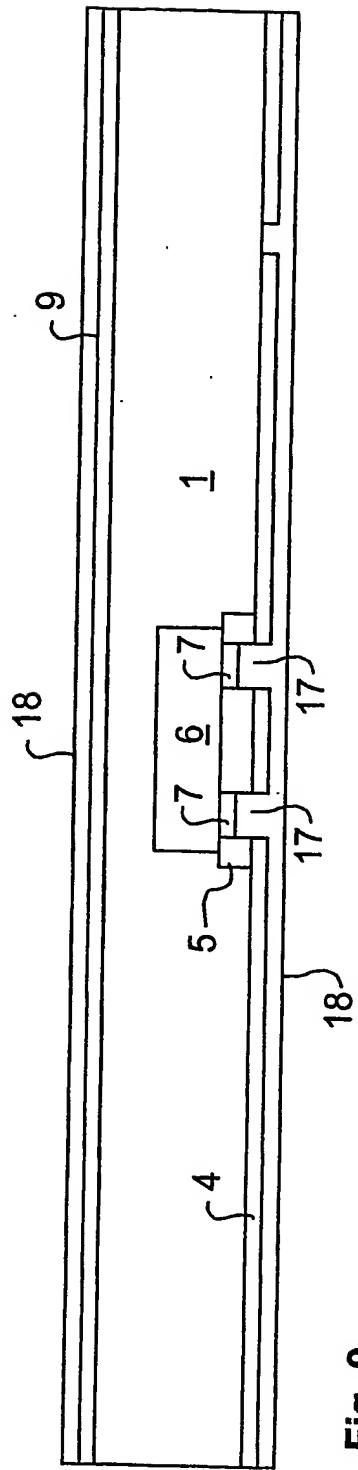


Fig. 9

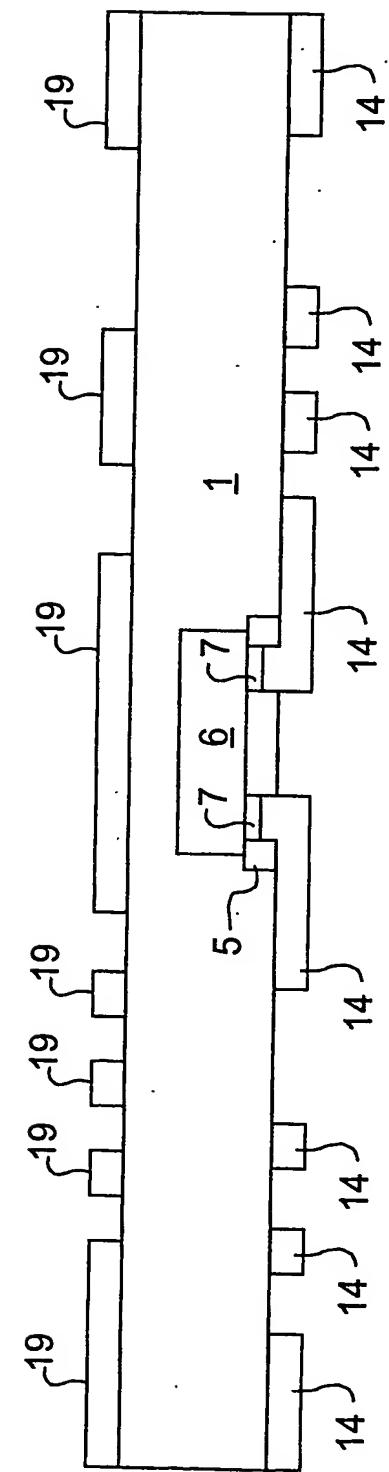


Fig. 10

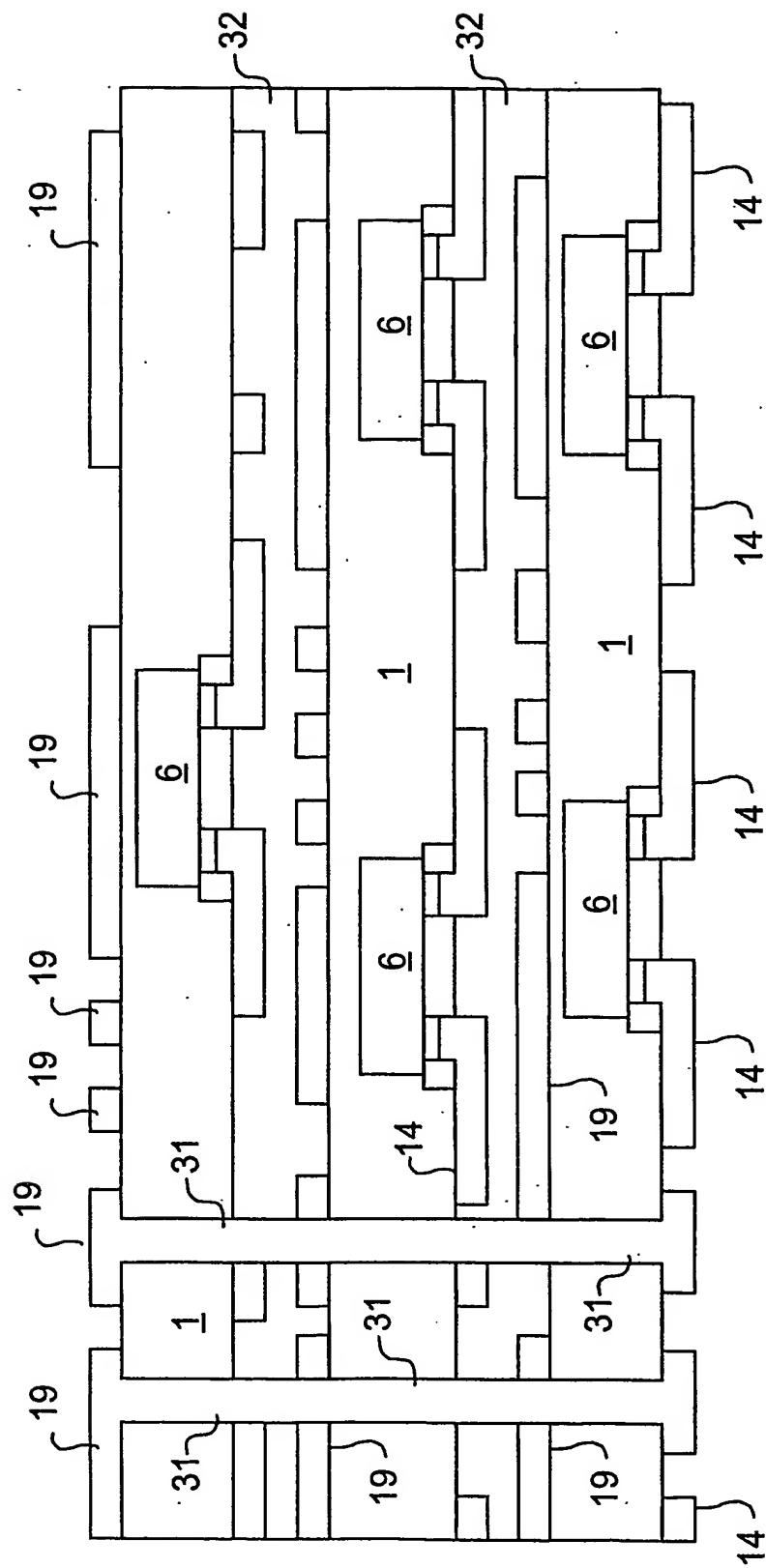


Fig. 11